

PROIECT AEMC (III) DIVIZOARE DE FRECVENȚA

Divizoare asincrone cu circuite integrate CMOS

În aplicațiile de viteză redusă se pot utiliza în schemele de divizare numărătoare unidirecționale (“tip înainte”) de tip asincron. Acestea folosesc în general bistabile T (de fapt circuite D la care ieșirea \bar{Q} se leagă la intrarea D), conectate în cascadă. Soluția este avantajoasă (față de utilizarea bistabilelor J-K, în regim de bistabile T, când $J = 1$ și $K = 1$) din punct de vedere al prețului. Se pot utiliza bistabile D de tip 4013. Schema este completată, unde este cazul, cu o poartă SAU-NU (NOR) care acționează intrarea asincronă de aducere la zero ($R = \text{reset}$, activă pe nivel 1 logic).

Un numărător cu m bistabile are ciclul normal de numărare (complet) de la 0 la $2^m - 1$, având deci 2^m stări distincte.

Scurtarea ciclului de numărare se poate obține prin decodificarea lungimii ciclului dorit, folosind poarta NOR.

Pentru a proiecta un numărător asincron divizor prin N , se procedează astfel:

- Se determină numărul n de bistabile necesare, folosind relația: $2^{n-1} < N \leq 2^n$;
- Se leagă bistabilele într-o schemă de numărător asincron cu transport succesiv;
- Se caută numărul binar N (adică se exprimă numărul N sub formă binară):

$$N_{10} = a_1 a_2 \dots a_n$$
- Se exprimă în binar numărul

$$\bar{N} = \bar{a}_1 \bar{a}_2 \dots \bar{a}_n$$
- Se conectează toate ieșirile bistabilelor care au $\bar{Q} = 1$ la momentul N la intrările unei porți SAU-NU. Ieșirea porții SAU-NU se conectează la intrările de ștergere \bar{R} ale bistabilelor din cascada ce formează numărătorul asincron.

În continuare se prezintă un exemplu de proiectare a unui divizor asincron prin $N = 12$.

Folosind algoritmul de proiectare menționat, rezultă:

- $2^{n-1} < 12 < 2^n$, $8 < 12 < 16$, deci sunt necesare $n = 4$ bistabile.
- Se conectează cele 4 bistabile D, tip 4013, transformate în bistabile T, prin realizarea conexiunii $\bar{Q} - D$, ca în fig. 3.1.

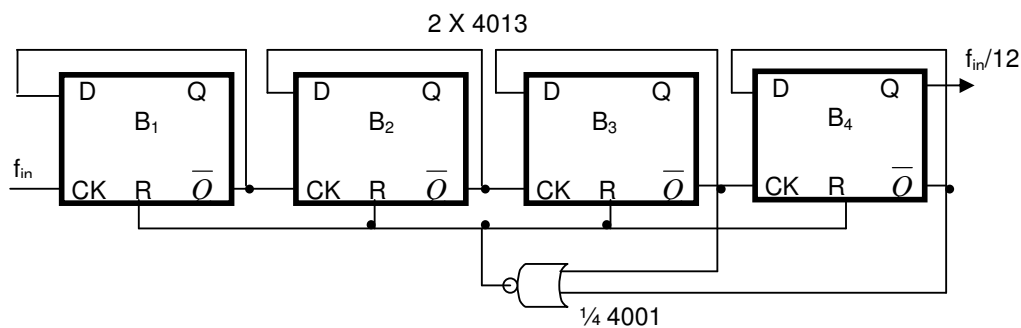


Fig. 3.1

- $N = 12_{10} = 1100_2$
- $\overline{N} = 0011_2$
- Se conectează la intrările porților SAU-NU ieșirile \overline{Q} care au valoarea 0 la momentul $N = 12$, respectiv de la bistabilele B_3 și B_4 .

Funcționarea număratorului divizor prin 12 se face conform tabelului de adevăr.

Stare	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12/0	1/0	1/0	0	0

Se observă că starea $12_{10} = 1100_2$ este instabilă, deoarece $\overline{Q}_4 = 0$ și $\overline{Q}_3 = 0$ ($Q_4 = 1$, $Q_3 = 1$) determină la ieșirea porții SAU-NU apariția unui nivel 1 logic care resetează numărătorul de 4 biți. Astfel, la al 12-lea tact de intrare, toate bistabilele revin în starea zero, care corespunde codului de plecare a număratorului.

Durata stării intermediare 12/0 este scurtă, fiind dată de timpul de propagare prin poartă, adunat cu timpul de basculare a bistabilelor Q_3 și Q_4 .

Se poate obține un montaj compact prin utilizarea circuitelor numărătoare asincrone binare. Algoritmul de proiectare este asemănător. Trebuie avute însă în vedere și anumite particularități. Astfel, la numărătoarele integrate sunt disponibile ieșirile Q (nu și \overline{Q}). Ca urmare, funcția de RESET va fi de tip ȘI între ieșirile Q care sunt la nivel 1 logic la momentul binar N . Pentru aceasta,

avem la dispoziție mai multe posibilități. Putem realiza funcția ȘI folosind circuite SAU-NU cu intrările inversate (fig. 3.2). De fapt, aceasta este metoda prin care se realizează circuitele

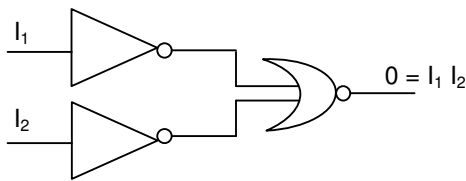


Fig. 3.2

ȘI în tehnologie CMOS.

Ca inversoare se pot folosi circuite 4069 (6 inversoare pe capsulă). Se pot folosi de asemenea porți ȘI de sine stătătoare. Din seria CMOS avem la dispoziție circuitele: 4073 (3 porți ȘI cu 3 intrări), 4081 (4 porți ȘI cu 2 intrări), 4082 (2 porți ȘI cu 4 intrări). Dacă este necesar un număr mai mare de intrări pentru

poarta ȘI, se poate utiliza circuitul 4068 (poartă ȘI-NU cu 8 intrări), urmată de inversor.

O altă particularitate de utilizare a numărătoarelor asincrone integrate CMOS ține de existența ieșirilor Q de la bistabilele din cascadă. Astfel, pentru circuitul 4024 – numărător binar asincron de 7 biți, avem la dispoziție toate ieșirile Q de la cele 7 bistabile din circuit. Ca urmare, folosind circuitul ȘI conectat corespunzător la intrarea de RESET și la ieșirile Q , se obțin divizoare de frecvență prin orice număr N , cuprins între 1 și $2^7 = 128$.

Dacă se dorește un divizor de frecvență cu factori de divizare mari și în construcție compactă, se pot folosi numărătoare asincrone care funcționează pe un număr mai mare de biți. Circuitul 4020 numără, de exemplu, pe 14 biți. Aici însă trebuie subliniat că nu avem acces la ieșirile Q_2 și Q_3 . Ca urmare, nu se pot realiza factori de divizare care la momentul N să aibă $Q_2 = 1$ și $Q_3 = 1$. Aceeași observație este valabilă și în cazul număratorului asincron de 14 biți și oscilator, tip 4060, la care nu sunt disponibile ieșirile Q_1 , Q_2 , Q_3 și Q_{11} .

Numărătorul binar de 12 biți tip 4040 are disponibile toate ieșirile Q_1, Q_2, \dots, Q_{12} . Ca urmare, se poate realiza orice factor de divizare a frecvenței, adică $N = 1 \dots 2^{12} = 4096$, rezultând o construcție foarte compactă.

Numărătoare sincrone

Numărătorul sincron înlătură inconvenientul întârzierilor cumulate ale bistabilelor, care apare în numărătorul cu transport succesiv. Într-un numărător sincron, toate bistabilele sunt controlate de același impuls de tact. Frecvența de lucru este limitată numai de întârzierea oricărui bistabil, plus întârzierea introdusă de porți.

Proiectarea numărătoarelor sincrone pentru orice bază de numărare este mai dificilă decât proiectarea unui numărător cu transport succesiv (circuitul este de fapt un circuit secvențial, la care secvențele se succed astfel încât ieșirile din bistabile reprezintă coduri numerice succesive). În fig. 3.3 se dă schema unui numărător zecimal, sincron, în cod BCD.

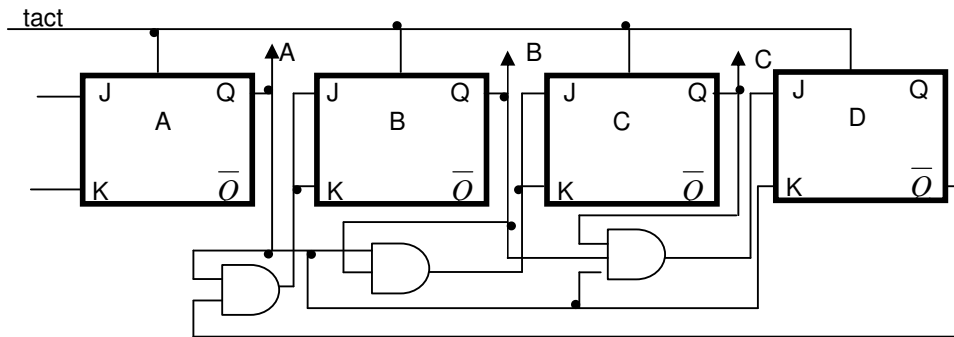


Fig. 3.3

Funcționarea rezultă din analiza stărilor succesive, conform tabelului de adevăr al bistabilului J-K.

Frecvența maximă a impulsurilor de tact pentru un numărător sincron cu transport paralel este:

$$f \geq T_p + T_g, \text{ unde}$$

T_p = întârzierea în bascularea unui bistabil;

T_g = întârzierea în propagare, de la intrarea la ieșirea porților ȘI

Cu astfel de numărătoare se pot asigura viteze mari de lucru, necesare în multe aplicații.

În numărătoarele sincrone nu există în mod obișnuit un semnal (impuls) de validare la decodificarea stărilor. Atunci când întârzierile în propagare variază de la un etaj la altul, pot apărea semnale false la ieșirile decodicatorului. Lățimea maximă a unui astfel de semnal fals nu va depăși diferența dintre timpul de propagare maxim și minim al bistabilelor din lanț.

Numărător BCD sincron reversibil presetabil tip 40192

Circuitul 40192 este un numărător BCD sincron reversibil și presetabil. Conține 4 bistabile D sincrone pe tact., legate în configurație de numărător, semnificația terminalelor fiind dată în fig. 3.4.

Intrările circuitului sunt:

- 4 intrări paralele de date: J_1, J_2, J_3, J_4 .
- o intrare de control *PRESET ENABLE*
- 2 intrări individuale de clock: *CLOCK UP* și *CLOCK DOWN*
- o intrare de *RESET*

Ieșirile circuitului sunt:

- 4 ieșiri Q cu buffer
- 2 ieșiri: transport (\overline{CARRY}) și împrumut (\overline{BORROW}) ce permit conectarea în cascadă a numărătoarelor.

Ștergerea numărătorului (toate ieșirile în 0 logic) se realizează cu un semnal 1 logic aplicat pe intrarea $RESET$, asincronă față de semnalul de tact.

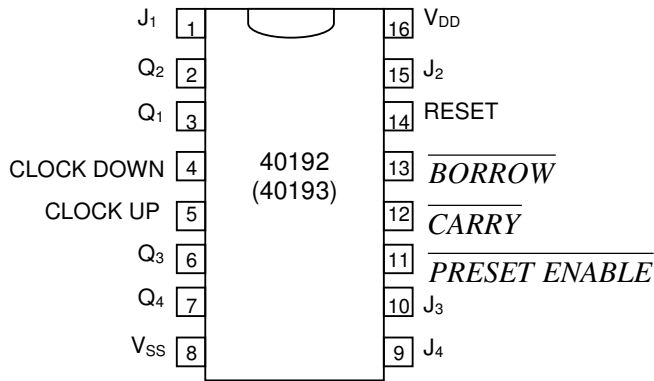


Fig. 3.4

Fiecare ieșire este programabilă asincron față de semnalul de tact, corespunzător cu intrarea J a fiecărui bistabil, când semnalul $\overline{PRESET ENABLE}$ este în 0 logic.

Numărătorul își incrementează conținutul (numără înainte) pe frontul pozitiv al semnalului $CLOCK UP$, când semnalul $CLOCK DOWN$ este la nivel 1 logic.

Numărătorul își decrementează conținutul (numără înapoi) pe frontul pozitiv al semnalului $CLOCK DOWN$, când $CLOCK UP$

este la nivel 1 logic.

Ieșirile \overline{CARRY} și \overline{BORROW} sunt la 1 logic când numărătorul numără înainte sau înapoi. Când numărătorul a atins numărul maxim numărabil în modul numărător înainte (respectiv 9 pentru zecimal), după jumătate din perioada semnalului de tact (respectiv când linia de tact trece la nivel 0 logic), \overline{CARRY} trece la nivel 0 logic. Când numărătorul a atins numărul minim numărabil în modul numărător înapoi (respectiv valoarea 0), după o jumătate din perioada semnalului de tact (respectiv când linia de tact trece la nivel 0 logic), \overline{BORROW} trece la nivel 0 logic.

Performanțe. Caracteristici.

- intrări de tact separate pentru numărare înainte sau înapoi;
- ieșiri sincrone întârziate de transport sau împrumut pentru conectarea în cascadă;
- viteză medie de operare: tipic 8 MHz, pentru $V_{SS} = 10 V$;
- intrări asincrone de reset și presetare.

Numărător binar sincron reversibil presetabil tip 40193

Circuitul 40193 are toate caracteristicile numărătorului 40192, cu singura deosebire ca este un numărător binar (complet) de 4 biți, care are un ciclu complet de numărare pe 4 biți (16 stări distincte). Încapsularea este identică cu a circuitului 40192.

Trebuie remarcat faptul că semnalul \overline{CARRY} apare când numărătorul este în starea $15_{10} = 1111_2$. Pentru ambele numărătoare (40192 și 40193) este valabil următorul tabel de adevăr:

CLOCK UP	CLOCK DOWN	$\overline{PRESET\ ENABLE}$	RESET	Acțiune –efect
	1	1	0	Numără înainte
	1	1	0	Nu numără
1		1	0	Numără înapoi
1		1	0	Nu numără
x	x	0	0	Preset
x	x	x	1	Reset

Conectarea în cascadă a mai multor numărătoare se face simplu, fără circuite externe suplimentare, prin legarea ieșirilor \overline{BORROW} și \overline{CARRY} la intrările $CLOCK\ DOWN$, respectiv $CLOCK\ UP$, ca în fig. 3.5.

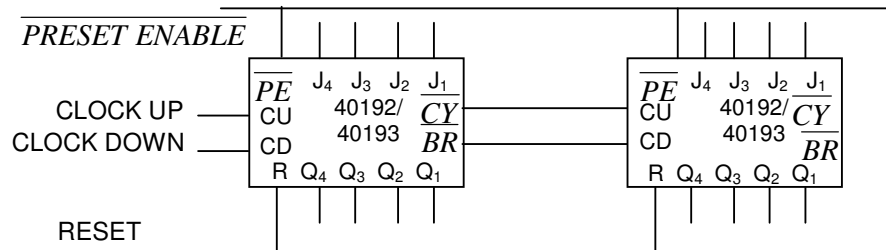


Fig. 3.5

Ansamblul funcționează asincron. Fiecare numărător în parte se comportă în interiorul său în mod sincron, dar, din punct de vedere al ansamblului, circuitul apare ca funcționând asincron, cu transport succesiv de la o capsulă la alta. Ca urmare, viteza globală de numărare se reduce cu fiecare capsulă adăugată în cascadă. Acest fapt trebuie avut în vedere la determinarea frecvenței maxime a semnalului de tact de la intrare. În caz contrar, apar ambiguități în interpretarea stărilor.